

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-195294

(43)Date of publication of application : 14.07.2000

(51)Int.Cl. G11C 29/00
G01R 31/28

(21)Application number : 10-371593

(71)Applicant : ANDO ELECTRIC CO LTD

(22)Date of filing : 25.12.1998

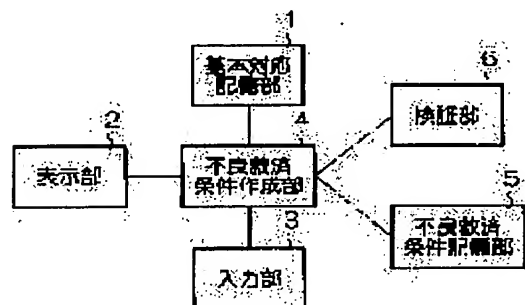
(72)Inventor : KAMIYA HIROTOSHI

(54) DEFECTS RELIEF CONDITION GENERATING DEVICE FOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a defects relief condition generating device for an integrated circuit which can shorten generation time by efficiently generating and changing defect relief conditions.

SOLUTION: A basic correspondence storage part 1 is stored with several basic patterns of defective relief conditions as a base. A defects relief condition generation part 4 selects one basic pattern according to a designer's selection indication from an input part 3, transfers its defect relief conditions from the basic correspondence storage part 1 to a defect relief condition storage part 5, to display them as a screen image at a display part 2, and then properly alters the storage contents of the defect relief condition storage part 5 according to a designer's correction indication. A verification part 6, after obtaining the defect relief conditions from the defect relief condition storage part 5 via the defect relief condition generation part 4, verifies the description conditions and informs the defect relief condition generation part 4 of the verification result. The defect relief condition generation part 4 displays list of description errors present in the defect relief conditions at the display part 2 based on the reported verification result and makes the designer to correct the defect relief conditions.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-195294

(P2000-195294A)

(43)公開日 平成12年7月14日(2000.7.14)

(51)Int.Cl.⁷

G 1 1 C 29/00

G 0 1 R 31/28

識別記号

6 5 5

F I

G 1 1 C 29/00

G 0 1 R 31/28

テーマコード(参考)

6 5 5 S 2 G 0 3 2

B 5 L 1 0 6

審査請求 未請求 請求項の数6 O L (全 6 頁)

(21)出願番号

特願平10-371593

(22)出願日

平成10年12月25日(1998. 12. 25)

(71)出願人 000117744

安藤電気株式会社

東京都大田区蒲田4丁目19番7号

(72)発明者 神谷 洋利

東京都大田区蒲田4丁目19番7号 安藤電

気株式会社内

(74)代理人 100064908

弁理士 志賀 正武 (外9名)

Fターム(参考) 2G032 AA07 AH07 AK12

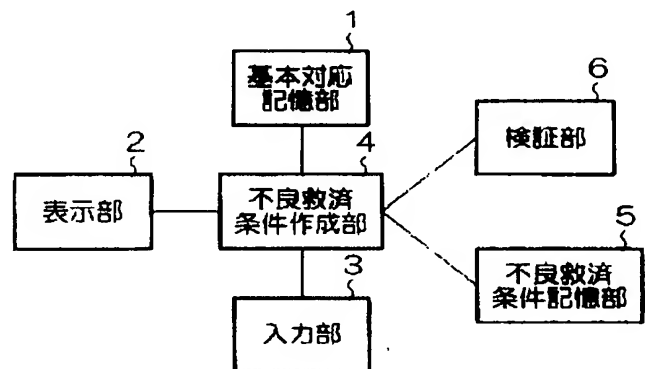
5L106 CC00 FF01 GG05 GG07

(54)【発明の名称】 集積回路の不良救済条件作成装置

(57)【要約】

【課題】 不良救済条件の作成、変更を効率良く行って作成時間を短縮できる集積回路の不良救済条件作成装置を提供する。

【解決手段】 基本対応記憶部1にはベースとなる不良救済条件の基本パターンが幾つか記憶されている。不良救済条件作成部4は、入力部3からの設計者の選択指示に従って何れかの基本パターンを選択し、その不良救済条件を基本対応記憶部1から不良救済条件記憶部5へ転送してこれを画面イメージで表示部2に表示させたのち、設計者の修正指示に従って不良救済条件記憶部5の記憶内容に適宜変更を加える。検証部6は、不良救済条件作成部4を介して不良救済条件記憶部5から不良救済条件を取得したのち、その記述内容を検証してその検証結果を不良救済条件作成部4に通知する。不良救済条件作成部4は通知された検証結果をもとに不良救済条件に存在する記述誤りの一覧を表示部2に表示して、不良救済条件の修正を設計者に行わせる。



【特許請求の範囲】

【請求項1】 集積回路内に存在する不良を該集積回路に埋め込まれた冗長回路で置き換える不良救済処理に用いられ、前記集積回路の構成を規定した不良救済条件を作成するための集積回路の不良救済条件作成装置において、前記不良救済条件の基本パターンが予め記憶された記憶手段と、設計者からの変更指示に従って、前記記憶手段に記憶されている前記不良救済条件を変更してゆく変更手段とを具備することを特徴とする集積回路の不良救済条件作成装置。

【請求項2】 前記記憶手段は、前記不良救済条件の基本パターンを複数種類記憶しており、前記設計者からの選択指示に従って、前記複数種類の基本パターンの中から何れかの基本パターンを選択する選択手段をさらに有し、前記変更手段は、該選択された基本パターンをもとに前記不良救済条件の変更を行うことを特徴とする請求項1記載の集積回路の不良救済条件作成装置。

【請求項3】 前記不良救済条件をイメージに展開して表示させる表示手段をさらに有することを特徴とする請求項1又は2記載の集積回路の不良救済条件作成装置。

【請求項4】 前記変更手段は、前記変更指示に対応させて前記不良救済条件のイメージを更新することを特徴とする請求項3記載の集積回路の不良救済条件作成装置。

【請求項5】 前記記憶手段に記憶されている前記不良救済条件をもとに、該不良救済条件に存在する記述誤りの有無を検証する検証手段をさらに有し、前記変更手段は、該検証手段による検証結果を前記表示手段上に表示させ、該検証結果に応じた前記設計者からの修正指示に従って、前記不良救済条件を修正することを特徴とする請求項3又は4記載の集積回路の不良救済条件作成装置。

【請求項6】 前記検証結果で示される記述誤りに対応する前記イメージ上の位置を通知する通知手段をさらに有することを特徴とする請求項5記載の集積回路の不良救済条件作成装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体メモリ等の集積回路に生じる不良箇所を集積回路内に予め埋め込まれた冗長回路で置き換える（以下、「不良救済」という）ために、不良救済に必要となる不良箇所と冗長回路との間の対応関係等の情報を作成する集積回路の不良救済条件作成装置に関するものである。

【0002】

【従来の技術】 半導体メモリ等では、製造の過程で不良が生じたときのために、予備のメモリセルを冗長セルと

して予め内部に埋め込んであり、不良部分のメモリセルを冗長セルで置き換えることによって、発生した不良を救済して良品として出荷できるようになる。こうしたことは半導体メモリ以外の集積回路であっても同様であって、これ以降は、集積回路の代表として半導体メモリを取り上げて説明してゆくことにする。

【0003】 半導体メモリの不良救済処理を行うには、当該処理に必要となる不良救済指示データをリペア装置と呼ばれる装置に与え、このリペア装置が与えられた不良救済指示データに従って半導体メモリ中の不良セルを冗長セルに繋ぎ替える作業を行ってゆく。その際、この不良救済指示データは試験装置によって以下のように作成される。すなわち、冗長メモリ及びメモリセルアレイの構成、ならびに、ある冗長セルで置換可能なメモリセルアレイと当該冗長セルの間の対応関係を規定する情報（以下、これらを「不良救済条件」という）を試験装置に与えておき、試験装置は半導体メモリを実際に試験してその不良情報を得たのち、得られた不良情報と上記不良救済条件とに基づいて、不良情報の示す個々の不良セルをどの冗長セルで置換すべきかを決定して不良救済指示データとしてリペア装置に出力する。

【0004】 従来、試験装置へ不良救済条件を与えるには、半導体メモリの設計者が当該不良救済条件を規定する情報を一つ一つ数値で入力している。これらの情報には、まず、メモリセルアレイのロウ側、カラム側それぞれに関するアドレスの範囲（即ち、開始アドレスおよび終了アドレス）がある。このとき、メモリセルアレイ全体を複数個に分割する必要がある場合には、分割された各メモリセルアレイに付与する固有の番号、および、これら各メモリセルアレイに関するロウ側、カラム側それぞれに関するアドレスの範囲を指定する必要がある。また、冗長セルに関しては、ロウ側、カラム側それぞれに関するセル数、および、それぞれの冗長セルに付与する固有の番号を指定する必要がある。そして、分割されたメモリセルアレイ、冗長セルにそれぞれ付与された番号を互に対応させることによって、これらの間の対応関係を指定することになる。

【0005】

【発明が解決しようとする課題】 以上の通り、従来は、不良救済条件を指定するために設計者が自ら数値で入力してゆくほかない。しかしそれには、上述したように多数の数値を入力してゆく必要があるため入力ミスを誘発しやすく、正しい不良救済条件を入力するのに多大なる時間を要する。また、設計者はメモリセルアレイ及び冗長セルの全ての配置を思い描きながら、それらの配置を数値に変換しながら入力してゆく必要があるため非常に煩わしい。このほか、設計変更等に伴って一旦入力した不良救済条件に対して変更を加える必要があるが、そうした作業も同様に煩瑣なものとなる。このように、不良救済条件を入力するために必要となる一連の作業が設計

者にとっては大きな負担となっている。しかも、半導体メモリ等がますます複雑化する昨今にあっては、こうした入力作業に要する作業量及び作業時間が増大するのは必至であって、今まで以上の負担を設計者に課すことになると考えられる。

【0006】本発明は上記の点に鑑みてなされたものであり、その目的は、不良救済条件の作成や変更を効率良く行うことができ、それによってこれら作業に要する時間を短縮することができる集積回路の不良救済条件作成装置を提供することにある。また、本発明は、入力した不良救済条件に存在する記述誤りを検出してこの記述誤りを容易に修正できる集積回路の不良救済条件作成装置を提供することを目的とするものである。

【0007】

【課題を解決するための手段】以上の課題を解決するために、請求項1記載の発明は、集積回路内に存在する不良を該集積回路に埋め込まれた冗長回路で置き換える不良救済処理に用いられ、前記集積回路の構成を規定した不良救済条件を作成するための集積回路の不良救済条件作成装置において、前記不良救済条件の基本パターンが予め記憶された記憶手段と、設計者からの変更指示に従って、前記記憶手段に記憶されている前記不良救済条件を変更してゆく変更手段とを具備することを特徴としている。また、請求項2記載の発明は、請求項1記載の発明において、前記記憶手段は、前記不良救済条件の基本パターンを複数種類記憶しており、前記設計者からの選択指示に従って、前記複数種類の基本パターンの中から何れかの基本パターンを選択する選択手段をさらに有し、前記変更手段は、該選択された基本パターンをもとに前記不良救済条件の変更を行うことを特徴としている。

【0008】また、請求項3記載の発明は、請求項1又は2記載の発明において、前記不良救済条件をイメージに展開して表示させる表示手段をさらに有することを特徴としている。また、請求項4記載の発明は、請求項3記載の発明において、前記変更手段は、前記変更指示に対応させて前記不良救済条件のイメージを更新することを特徴とするしている。また、請求項5記載の発明は、請求項3又は4記載の発明において、前記記憶手段に記憶されている前記不良救済条件をもとに、該不良救済条件に存在する記述誤りの有無を検証する検証手段をさらに有し、前記変更手段は、該検証手段による検証結果を前記表示手段上に表示させ、該検証結果に応じた前記設計者からの修正指示に従って、前記不良救済条件を修正することを特徴としている。また、請求項6記載の発明は、請求項5記載の発明において、前記検証結果で示される記述誤りに対応する前記イメージ上の位置を通知する通知手段をさらに有することを特徴としている。

【0009】

【発明の実施の形態】以下、図面を参照して本発明の一

実施形態について説明する。図1は、本実施形態による集積回路の不良救済条件作成装置についてその構成を示したものであって、同図の構成は例えば一般的なコンピュータで構成することができる。図中、基本対応記憶部1は、半導体メモリの不良救済条件として代表的なものを予め数種類格納しておく。半導体メモリ上における冗長セル及びメモリセルアレイの構成ならびにそれらの間の対応関係は、設計対象となるメモリの仕様等によって区々であるが、これまでに設計されてきた多数の半導体メモリの不良救済条件を類型化してゆくことで、比較的限定された数種類の基本パターンに絞り込むことが可能となる。

【0010】そこで本実施形態では、不良救済条件の基本パターンとしてベースとなる基本形状を幾つか用意しておき、その中から最も近いものを選択し、選択された不良救済条件の基本パターンに対して設計対象の半導体メモリに応じた修正を適宜加えてゆき、最終的な不良救済条件を作成することになる。例えば後で詳述するが、図2に示した「基本対応5」をベースとして、この基本パターンのロウ側をさらに2分割するような修正を加えることによって、図3に示したような不良救済条件が得られることになる。なお、例えば図2に示した「基本対応9」ではメモリセルアレイ全体が4つに分割されているが、基本パターンに示されているメモリセルアレイの分割はあくまで冗長セルとメモリセルアレイの間の対応関係を示したものであって、実際の半導体メモリのメモリセルアレイの構成は、基本パターンで示されている分割メモリセルアレイをさらにロウ側、カラム側へ分割したのになっている。

【0011】図2はこれら基本パターンのうちの代表的な9種類を例示したものである。ここでは、図3を参照しながら、図2に示した「基本対応5」をカラム方向へさらに2分割したものについてその詳細を説明する。図3において、矩形のブロックは何れも分割されたメモリセルアレイであって、メモリセルアレイ全体が4個のメモリセルアレイ11-1～11-4に分割されている。同図の場合、メモリセルアレイ全体はロウ側、カラム側も“0”～“FF”（16進数、以下同じ）のアドレスが付与されている。一方、分割されたメモリセルアレイのうちの例えばメモリセルアレイ11-1はロウ側、カラム側とも“0”～“7F”のアドレスが付与されている。同様に、メモリセルアレイ11-3はロウ側に“80”～“FF”のアドレスが付与されるとともに、カラム側には“0”～“7F”のアドレスが付与されている。

【0012】一方、冗長セルは、主にロウ方向のメモリセルを救済するための冗長ロウ12-1、12-2と、主としてカラム方向のメモリセルを救済するための冗長カラム13で構成されている。ここで、メモリセルアレイのロウ方向およびカラム方向に沿って冗長セルを配置してあるのは、半導体メモリ内の故障がこれら何れかの方向

に沿って連続して発生する傾向が認められることによる。これら冗長セルのうち、冗長ロウ12-1はメモリセルアレイ11-1、11-3に対応するとともに、冗長ロウ12-2はメモリセルアレイ11-2、11-4に対応しているほか、冗長カラム13はメモリセルアレイ11-1~11-4の全てに対応している。また、これら冗長セルは数セル分の幅を持つことがあり、例えば冗長ロウ12-2が“2×100”セルで構成され、あるいは、冗長カラム13が“100×4”セルで構成されるなどが考えられる。

【0013】なお、基本対応記憶部1には図2に示された画像のイメージがそのまま記憶されているわけではなく、従来と同様に数値データの形式で記述された不良救済条件が格納されている。すなわち、各メモリセルアレイに関するロウ方向及びカラム方向のアドレス範囲、冗長ロウ及び冗長カラムに関するロウ方向及びカラム方向のセル数、冗長ロウ又は冗長カラムと各メモリセルアレイとの間の対応を示したリスト（つまり、冗長セル、メモリセルアレイにそれぞれ付与された番号の対応）などが記憶されている。ちなみに、図2に示した「基本対応1」～「基本対応9」について冗長セルと各メモリセルアレイがどのように対応しているのかは、本発明の本質に直接関わるものではないことから、ここで詳しく説明することはしないが、図3に準じて考えればそれらの間の対応関係は明らかである。

【0014】次に、図1の表示部2はCRT（陰極線管）等のディスプレイ装置であって、図2ないし図3に示したような半導体メモリの配置がグラフィカルに表示されるほか、設計者が不良救済条件のデータを修正するための修正画面、不良救済条件に存在する記述ミスの一覧表示等がなされる。入力部3はマウス等のポインティングデバイスやキーボード等から成る入力機器であって、例えば、設計者が表示部2上に表示された半導体メモリの配置を見ながら上述した修正を装置へ指示するために必要となるものである。

【0015】一方、不良救済条件作成部4は、入力部3からの設計者の選択指示に従って、基本対応記憶部1上の基本パターンの何れかを選択し、選択された基本パターンの不良救済条件を不良救済条件記憶部5へ転送するとともに、これを画面イメージで表示部2上に表示させる。また、不良救済条件作成部4は、設計者の修正指示に従って不良救済条件記憶部5へ転送した基本パターンに適宜変更を加えてゆくほか、次に説明する検証部6からの通知に従って、不良救済条件記憶部5上に作成された不良救済条件に存在している記述誤りの一覧を表示部2上に表示させる。なお、不良救済条件作成部4が有しているこれら以外の機能については動作説明に譲る。

【0016】他方、検証部6は不良救済条件記憶部5上に作成された不良救済条件についてその記述内容が正しいか否か検証を実施して、その検証結果を不良救済条件

作成部4に報告する。検証部6による検証項目としては、試験装置が扱える制限（例えば、メモリセルアレイの分割数）を越えた指定が為されていないか、不良救済条件を作成するために必須の項目（例えば、各メモリセルアレイの開始アドレスや終了アドレス）が欠落していないか、指定された値に矛盾がないか等が挙げられる。なお、最後の検証項目に言う矛盾の一例としては以下のようなものが挙げられる。

【0017】本実施形態では、各メモリセルアレイに関わるアドレスの範囲はロウ方向、カラム方向とも開始アドレス及び終了アドレスの組で指定するようになっている。例えば図3に示したメモリセルアレイ11-1の場合には、ロウ方向、カラム方向とも開始アドレスに“0”，終了アドレスに“7F”を指定する必要がある。これに加えて、例えば、メモリセルアレイ11-1のロウ側の終了アドレス“7F”とメモリセルアレイ11-3のロウ側の開始アドレス“80”は連続している必要がある。以上のことから、検証部6は、開始アドレスが終了アドレスよりも大きい場合、開始アドレスと終了アドレスが同じ値である場合、隣接するメモリセルアレイのアドレスが連続していない場合などに、これらを矛盾として検出している。そして、前述した不良救済条件作成部4は当該検証結果を表示部2上に表示させるとともに、当該表示に応じて設計者が入力部3から行う修正指示に従って、不良救済条件記憶部5上の不良救済条件の内容変更等を行う。

【0018】次に、上記構成による集積回路の不良救済条件作成装置についてその動作を説明する。まず、図2に示した9種類の基本パターンに対応する不良救済条件をそれぞれ基本対応記憶部1に記憶させる。その後、設計者が入力部3から不良救済条件の作成開始を指示すると、不良救済条件作成部4は基本対応記憶部1に格納されている不良救済条件を全て読み出し、これらを画面イメージに展開して表示部2に送出して、図2に示した9種類の基本対応図をディスプレイ画面上に描画させる。設計者は表示された9種類の基本対応図のうち、設計しようとしている半導体メモリに最も適しているのが何れであるか決めてその旨を入力部3から不良救済条件作成部4に通知する。

【0019】ここでは設計者が「基本対応5」を選択したものとすると、不良救済条件作成部4は設計者によって選択された「基本対応5」の配置図を見やすいように表示部2のディスプレイ画面上に拡大表示させる。ここで、図2から分かるように、「基本対応5」によればロウ側の分割数が“1”，カラム側の分割数が“2”に設定される。このほか、以下の説明の前提条件として、冗長ロウにおけるロウ側のセル幅、および、冗長カラムにおけるカラム側のセル幅が何れも“1”に初期設定されているものとする。

【0020】この後、設計者は、「基本対応5」におけ

る不良救済条件の個々のデータに対して適宜変更を加えてゆくことができる。例えば、「基本対応5」を図3に示される配置を持った不良救済条件とする場合、設計者はロウ側、カラム側のアドレス範囲としてともに開始アドレスを“0”，終了アドレスを“FF”に設定するとともに、カラム側の分割数は初期設定値から変更せずに、ロウ側の分割数だけを“1”から“2”へ変更する。すると、不良救済条件作成部4は、不良救済条件記憶部5から不良救済条件を読み出して、入力部3から入力されたアドレス範囲および分割数に基づいて各メモリセルアレイの開始アドレス及び終了アドレスを算出する。例えば、メモリセルアレイ11-1についてはロウ側、カラム側とも開始アドレスを“0”，終了アドレスを“7F”として算出し、また、メモリセルアレイ11-3についてはロウ側については開始アドレスを“80”，終了アドレスを“FF”、カラム側については開始アドレスを“0”，終了アドレスを“7F”として算出する。

【0021】また、こうしたメモリセルアレイの分割に応じて、不良救済条件作成部4は冗長カラム13と生成されたメモリセルアレイ11-1～11-4が対応するように不良救済条件を更新する。この後、不良救済条件作成部4は変更された不良救済条件を不良救済条件記憶部5に書き戻す。なお、設計者はメモリセルアレイの分割数を指定する代わりに、各メモリセルアレイの開始アドレス及び終了アドレスを個別に指定しても良い。このほか、設計者はロウ側、カラム側のそれぞれについて、冗長メモリの個数とそれぞれの冗長メモリのセル幅を変更することもできる。例えば、設計者がロウ側の冗長セルの個数を“2”とし、且つ、それらのセル幅を“4”として入力すると、ロウ側の冗長セルが増えて図3に示した配置から図2の「基本対応9」に示した配置に変更されるとともに、冗長カラム13のセル幅が“1”から“2”に拡張される。そこでこの場合も、不良救済条件作成部4は当該変更に応じて不良救済条件を変更して不良救済条件記憶部5の内容を更新するようにする。

【0022】さらに設計者は、図4に示されるような表示部2上の画面イメージを見ながらマウスを操作することで、冗長ロウ12や冗長カラム13の大きさを適宜変更することができる。すなわち、図4に示すように、カーソル20の先端を冗長ロウ12上の右端（図中のA点）に合わせ、マウスのボタンをクリックして冗長ロウ12を選択したのち、マウスのボタンを押しながらカーソル20をB点まで右方向にドラッグさせる。一方、不良救済条件作成部4は入力部3を通じてこれら一連の操作を認識すると、冗長ロウ12の右端をA点からB点まで延長させるとともに、A点からB点までの移動量から冗長ロウ12のカラム方向のセル数を再計算して、不良救済条件記憶部5上の不良救済条件を更新する。以上のような変更指示は冗長カラム13についても同様に行う

ことができるほか、例えば冗長ロウ12のロウ方向のセル幅を変更することもできる。さらには、ある冗長セルを複数の冗長セルに分割したり、これとは逆に、複数の冗長セルを一つの冗長セルにまとめることも可能である。こうして、不良救済条件を規定するそれぞれのデータをディスプレイ画面上で視認しながら変更してゆくことができる。

【0023】以上のような手順で不良救済条件について必要な変更を全て行ったのであれば、設計者は入力部3から不良救済条件の検証を指示する。これにより、不良救済条件作成部4は不良救済条件を不良救済条件記憶部5から読み出して検証部6に転送し、検証部6に対してその内容に記述上の誤りがないかどうか検証するように指示する。検証部6は上述したような各種の誤りが不良救済条件にあるかどうか調べ、得られた検証結果を不良救済条件作成部4に報告する。不良救済条件作成部4は当該検証結果に含まれている誤りの有無、および、誤りが存在する場合にはその一覧を表示部2上に表示させる。

【0024】この後、もし誤りがあるのであれば、設計者はそれらの誤りを順次修正してゆくために入力部3を介して一覧表示の中から何れかの誤り表示を選択する。これに応じて、不良救済条件作成部4は選択された誤りの原因となっている冗長ロウ、冗長カラム、メモリセルアレイの何れかにカーソル20を移動させて誤りがある箇所を指摘するとともに、上述した変更手順に準じて、不良救済条件の中で誤っているデータを設計者に再入力させ、以後、不良救済条件に記述誤りが無くなるまで検証を繰り返してゆく。こうして誤りの無い不良救済条件が作成されたならば、この不良救済条件を不良救済条件記憶部5から図示しない試験装置に転送して、リペア装置に与えるべき不良救済指示データを生成させる。

【0025】なお、上述した実施形態では、不良救済条件作成装置が試験装置とは別に設けられているものとして説明したが、実際には、不良救済条件作成装置を試験装置内部に組み込む形態であっても良い。

【0026】

【発明の効果】以上説明したように、本発明では、不良救済条件を作成する際のベースとなる基本パターンを予め記憶しておき、設計者からの変更指示に従ってこの基本パターンを適宜変更してゆくようにしている。これによって、何らの情報も入力されていない真つ新な状態から不良救済条件を入力してゆく必要がなくなって、設計者が入力すべき情報量を相当程度削減することができ、不良救済条件の作成に要する作業時間が短縮される。また、請求項2記載の発明では、不良救済条件の基本パターンを複数種類用意しておき、設計者からの選択指示に従って何れかの基本パターンを選択してこれをもとに不良救済条件を変更するようにしている。これによって、設計者がこれから設計すべき集積回路の不良救済条件に

なるべく近い基本パターンを選択することができるため、設計者が入力すべき情報量をさらに削減できる。

【0027】また、請求項3記載の発明では、不良救済条件をイメージに展開して表示させるようにしている。これによって、設計者は例えばメモリセルアレイや冗長セルの全体的な配置を見ながら不良救済条件を作成することになるため、入力ミスの低減を期待できるほか、全体の様子を把握できることから効率良く不良救済条件を作成してゆくことができる。また、請求項4記載の発明では、設計者が行った変更指示に対応させて不良救済条件のイメージを更新するようにしている。これによって、設計者が例えば冗長セルの延長指示を行ったとすると、この変更指示につれて冗長セルをイメージ上で延ばしてゆくようなことが可能となり、設計者は正しく変更を行っているかどうかを視覚的に確認しながら作業することができる。

【0028】また、請求項5記載の発明では、不良救済条件中に存在する記述誤りの検証結果を表示させ、この検証結果を確認した設計者の行う修正指示に従って、不良救済条件を修正するようにしている。これによって、設計者が副次的に数値入力した不良救済条件等の記述ミスを容易に検出できるほか、設計者は検証に引き続いて記述ミスを解消するための修正作業を行えるため、作業の効率化を図ることが可能となる。また、請求項6記載の発明では、検証結果で示される記述誤りに対応したイ

メージ上の位置を設計者へ通知している。これによって、例えば記述誤りの存在する冗長セルにカーソルを移動させるようなことが可能となって、設計者はどの部分に誤りがあるのかを容易に把握できるようになり、その後の修正作業を効率的に行うことができる。

【図面の簡単な説明】

【図1】 本発明の一実施形態による集積回路の不良救済条件作成装置の構成を示すブロック図である。

【図2】 同実施形態における不良救済条件の基本パターンの一覧を例示した説明図である。

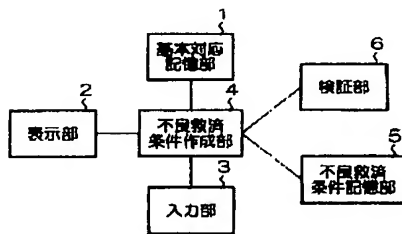
【図3】 同実施形態における不良救済条件の詳細について示した説明図である。

【図4】 同実施形態において、冗長ロウに関わる不良救済条件を変更するときの様子を示した説明図である。

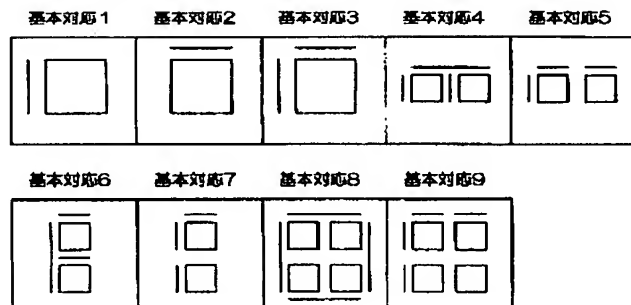
【符号の説明】

- 1 基本対応記憶部
- 2 表示部
- 3 入力部
- 4 不良救済条件作成部
- 5 不良救済条件記憶部
- 6 検証部
- 11-1～11-4 メモリセルアレイ
- 12, 12-1, 12-2 冗長ロウ
- 13 冗長カラム

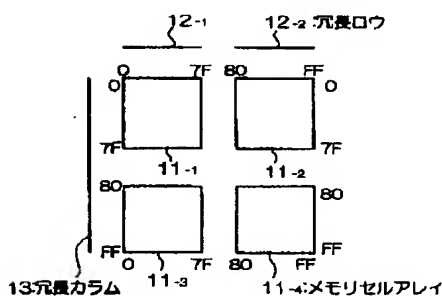
【図1】



【図2】



【図3】



【図4】

